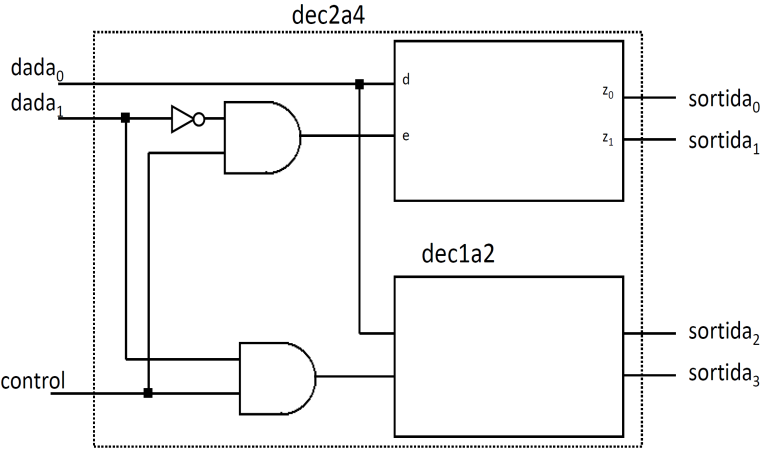
**DISSENY DIGITAL BÀSIC 2016-2017**

***PRÀCTICA 4: Circuits combinacionals***

En aquesta pràctica haureu d’implementar circuits combinacionals, fent servir les diferents arquitectures que hem vist fins ara i combinant-les entre elles. Aquesta pràctica també és la primera puntuable que feu en el curs de DDB. De la mateixa forma que la resta de pràctiques que heu fet fins ara, consta d’una part autònoma a desenvolupar fora de l’aula i d’una part presencial a desenvolupar al laboratori. La tasca que fareu al laboratori s’avaluarà i comptarà un 40% de la nota final de pràctiques, essent molt propera a la tasca autònoma que aquí us demanem.

La part autònoma de la pràctica 4 consisteix en implementar un circuit combinacional fent servir el disseny estructural, combinant-lo amb arquitectures *lògica*, *estructural* i *ifthen*, i fent servir vectors per als conjunts de bits d'una mateixa paraula. Implementareu un **decodificador de 2 a 4 *active high*** **a partir de dos decodificadors de 1 a 2 *active high*** amb ’***enable***’, tal i com es mostra a la figura següent:

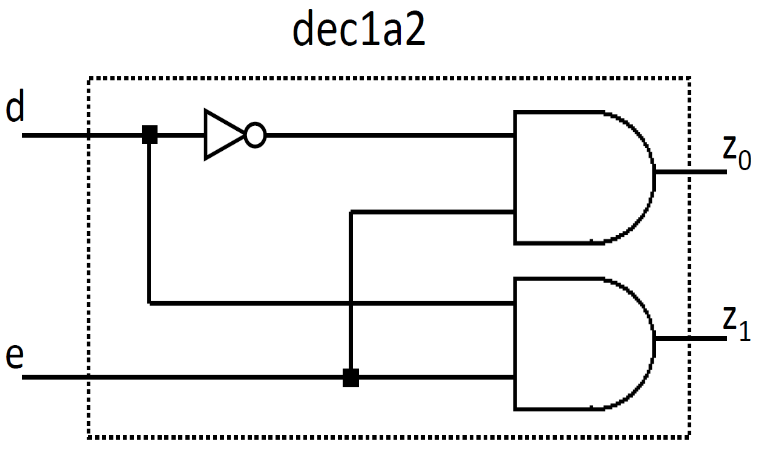


La taula de la veritat d’aquest decodificador 2 a 4 es mostra a continuació:

|  |  |  |
| --- | --- | --- |
| ***control*** | ***dada*** | ***sortida*** |
| 0 | 00 | 0000 |
| 0 | 01 | 0000 |
| 0 | 10 | 0000 |
| 0 | 11 | 0000 |
| 1 | 00 | 0001 |
| 1 | 01 | 0010 |
| 1 | 10 | 0100 |
| 1 | 11 | 1000 |

Per a això cal que:

1) Construïu l’entitat ‘***dec1a2***’ amb una entrada d’un bit ‘***d***’, una altra també d'un bit ‘***e***’ i un vector de dos bits anomenat ‘***z***’. Implementeu-lo amb dues arquitectures, una anomenada ‘***ifthen***’ afegint un retard de 3 ns (seguint el mateix tipus de disseny que heu vist a les pràctiques anteriors), i l’altra anomenada ‘***estructural***’, fent servir les portes lògiques necessàries de la següent forma (considereu l’arquitectura lògica retard per a les portes lògiques):



La taula de la veritat d’aquest decodificador 1 a 2 es mostra a continuació:

|  |  |  |
| --- | --- | --- |
| ***e*** | ***d*** | ***z*** |
| 0 | 0 | 00 |
| 0 | 1 | 00 |
| 1 | 0 | 01 |
| 1 | 1 | 10 |

2) Construïu l’entitat ‘***dec2a4***’ amb l’arquitectura ‘***estructural***’, utilitzant les definicions de les portes de les pràctiques anteriors, la corresponent arquitectura retardada (3 ns) i el decodificador que heu generat la punt anterior. Per aquest últim, considereu per a cada decodificador una arquitectura diferent: ‘***ifthen***’ per al primer i ‘***estructural***’ per al segon. Els noms de les variables seran els que apareixen a la figura: un senyal d'entrada de 2 bits ‘***dada***’, un senyal de control anomenat ‘***control***’ i un vector de sortida de 4 bits ‘***sortida***’.

3) Per últim, construïu l’entitat ‘***banc\_proves***’ amb l’arquitectura ‘***test***’ per provar el circuit. Feu que el bit menys significatiu de l'entrada variï cada 50 ns, i els altres, els múltiples adequats d’aquest. Per la variació dels senyals, considereu el senyal de control com si fos el bit de major pes.

**Haureu de pujar 2 fitxers SENSE COMPRIMIR 24 HORES ABANS de la vostra sessió de pràctiques, seguint les següents indicacions:**

a) Utilitzeu el fitxer de portes lògiques que disposeu al campus virtual (no el modifiqueu).

b) El codi que heu desenvolupat estarà distribuït en dos fitxers. El primer fitxer contindrà el decodificador 1a2, amb la seva entitat i les dues arquitectures que es demanen, i portarà per nom: **Pract4\_Gxx\_Cognom1\_Cognom2\_Nom\_Dec1a2.vhd** (**Gxx** serà el vostre grup i número dintre del grup de pràctiques). El segon fitxer contindrà l’entitat **dec2a4**, la seva arquitectura i el banc de proves, i tindrà el nom: **Pract4\_Gxx\_Cognom1\_Cognom2\_Nom\_dec2a4.vhd**

c) Feu servir els noms d’entitats, arquitectures i variables EXACTAMENT com es descriu al text.